

# 基于 DSP 和 FPGA 的 CAN 总线通信系统设计

李 晓, 李 芮, 王志斌, 韩 枫

(中北大学 山西省光电信息与仪器工程技术研究中心, 太原 030051)

**摘要:** 为了提高高速条件下数据传输的稳定性和可靠性, 文章提出了运用 DSP 与 FPGA 相配合的方式, 控制 CAN 总线实现数据传输; 系统采用 SJA1000 作为 CAN 总线控制器; 采用 PCA82C250 作为 CAN 总线收发器; 采用特有并行处理方式的 FPGA 实现对 CAN 总线控制器读写、使能等信号的控制; 采用数据处理单元 DSP 与 CAN 总线控制器直接进行数据传输, 省去了数据在 DSP 与 FPGA 之间传输的时间; 采用两片 74LVC4245 完成 3.3 V TTL 标准信号与 5 V COMS 电平信号之间的转换; 实验结果表明, 系统数据传输过程稳定可靠, 可以基本满足高速信号的处理与传输要求。

**关键词:** CAN 总线通信; 数字信号处理; 现场可编程门阵列; sja1000; PCA82C250

## A Design of CAN Bus Communication System Based on DSP and FPGA

Li Xiao, Li Rui, Wang Zhibin, Han Feng

(Shanxi Provincial Engineering and Technology Research Center for Optical-Electric Information and Instrument, North University of China, Taiyuan 030051, China)

**Abstract:** In order to improve the stability and reliability of high-speed data transmission conditions, the paper proposes the use of DSP and FPGA compatible manner, control CAN bus for data transfer. System uses a CAN bus controller SJA1000; using PCA82C250 as CAN bus transceiver; using the unique parallel processing FPGA implementation of the CAN bus controller to read and write, so that control energy and other signals; using a data processing unit DSP and CAN bus controller direct data transmission, eliminating the need for data transfer between the DSP and the FPGA time; 74LVC4245 complete the conversion using two standard signal level signal and 5 V COMS between 3.3 V TTL. Experimental results show that the system is stable and reliable data transmission, processing and transmission can basically meet the requirements of high-speed signals.

**Keywords:** CAN Bus communication; DSP; FPGA; sja1000; PCA82C250

### 0 引言

CAN 协议迄今已有 15 年, 被公认为几种最有前途的现场总线之一, 其应用范围目前已不再局限于汽车行业, 而扩展到了机械工业、纺织机械、农用机械、机器人、传感器等领域<sup>[1-2]</sup>。CAN 总线为多主方式工作, 网络上任一节点均可在任意时刻主动地向网络上其他节点发送信息, 而不分主从<sup>[3]</sup>。CAN 总线采用非破坏总线仲裁技术, 当多个节点同时向总线发送信息出现冲突时, 优先级较低的节点会主动地退出发送, 而最高优先级的节点可不受影响地继续传输数据, 从而大大节省了总线冲突仲裁时间<sup>[4]</sup>。CAN 总线的直接通信距离最远可达 10 km, 通信速率最高可达 1 Mbps, 其节点数主要取决于总线驱动电路, 目前可达 110 个, 其通信介质可为双绞线、同轴电缆或光纤, 选择灵活<sup>[5]</sup>。

早期, 通常使用单片机来控制 CAN 总线进行通信, 随着 FPGA、DSP 等控制芯片的迅速发展, 以及人们对数据传输速度和稳定性的进一步要求, 采用 FPGA 和 DSP 相配合的方式, 控制 CAN 总线进行数据传输, 成为了下一个主流方向。

收稿日期:2014-07-20; 修回日期:2014-09-12。

基金项目:国际科技合作项目(2013DFR10150);国家自然科学基金仪器专项基金(611127015);国际科技合作项目(2012DFA10680);山西省国际科技合作项目(2012081029)。

作者简介:李 晓(1972-),女,山西运城人,副教授,硕士研究生导师,主要从事测控技术及光电信息检测技术方向的研究。

因此, 本文提出了使用 FPGA 实现对 CAN 总线控制器读写、使能等信号的控制; 采用数据处理单元 DSP 与 CAN 总线控制器直接进行数据传输的 CAN 总线控制方式。

### 1 系统硬件设计

本系统采用 SJA1000 作为 CAN 总线控制器; 采用 82c250 作为 CAN 总线收发器; 采用特有并行处理方式的 FPGA 实现对 CAN 总线控制器读写、使能等信号的控制; 采用数据处理单元 DSP 与 CAN 总线控制器直接进行数据传输; 采用两片 74LVC4245 完成 3.3 V TTL 标准信号与 5 V COMS 电平信号之间的转换。

系统整体原理图如图 1 所示。

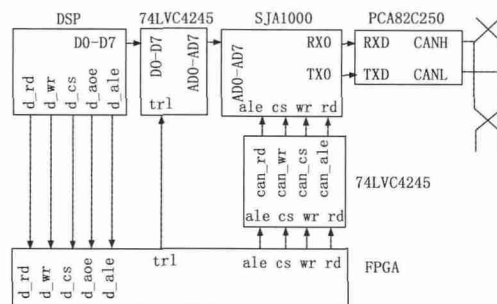


图 1 系统原理图

#### 1.1 CAN 总线控制器 SJA1000 模块硬件设计

SJA1000 是一种独立的 CAN 总线控制器。它是 PHILIPS

公司早期 CAN 总线控制器 PCA82C200 的替代产品, 它在原产品的基础上增加了一种新的工作模式 PeliCAN, 并且支持 CAN2.0B 协议<sup>[6]</sup>。在本系统中, 采用 16 Mhz 外接晶振为其提供系统时钟; 并将其数据地址复用总线引脚 D0-D7 与 DSP 相连; 地址锁存信号 ALE、芯片使能信号 CS、读有效 RD 以及写有效 WR 与 FPGA 的 I/O 口相连; MODE 引脚接至高电平, 使其工作于 Intel 时序; 发送输出端 TX0 与接收输入端 RX0 分别与 CAN 总线收发器 PCA82C250 的 TXD 与 RXD 引脚相连<sup>[7]</sup>; 其 RX1 引脚需要接至一个固定的电平, 这里将其与 CAN 总线收发器 PCA82C250 的参考电平输出引脚 Vref 相连。

CAN 总线控制器 SJA1000 模块原理图如图 2 所示。

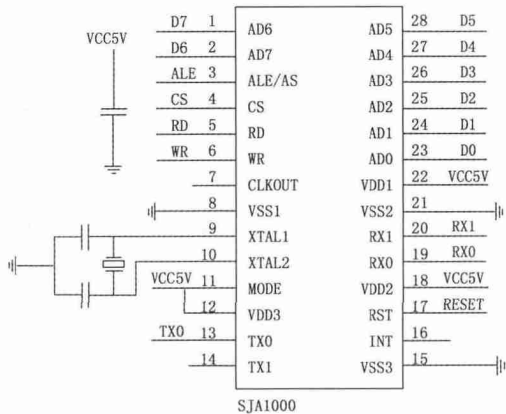


图 2 CAN 总线控制器 SJA1000 模块原理图

### 1.2 CAN 总线收发器 PCA82C250 模块硬件设计

PCA82C250 为 CAN 总线控制器和物理总线之间的接口, 是一种较为常用的 CAN 总线收发器。它可以在向总线提供差动发送能力的同时, 向 CAN 总线控制器提供相应的差动接收能力。其中 RS 引脚用于选择 2 种不同的工作模式: 高速工作模式和斜率控制模式。由于系统的总线较短、波特率较低, 因此, 该引脚通过外接 47K 的电阻, 使芯片工作于斜率控制模式<sup>[8]</sup>。在 CANH 和 CANL 引脚之间连接一个 120 Ω 的总线阻抗匹配电阻, 并通过双绞线引出<sup>[9]</sup>。

CAN 总线收发器 PCA82C250 模块原理图如图 3 所示。

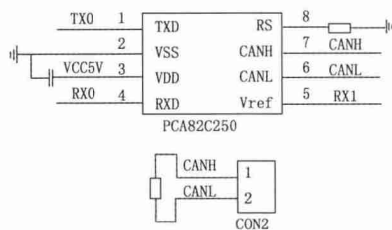


图 3 CAN 总线收发器模块原理图

### 1.3 电平转换 74LVC4245 模块硬件设计

由于 FPGA 的 I/O 口的输入输出电平为 3.3 V TTL 标准信号, SJA1000 引脚的输入输出电平为 5 V COMS 电平信号, 两者不能直接相连进行数据传输, 需要通过两片电平转换芯片 74LVC4245, 实现 3.3 V TTL 标准信号与 5 V COMS 电平信号之间的转换。由于 SJA1000 的数据地址复用总线 D0-D7, 既需要从 FPGA 接收数据, 也需要向 FPGA 发送数据, 因此, 这里将 D0-D7 接在一片 74LVC4245 上, 其他控制信号接至一片 74LVC4245 上, 便于进行电平转换方向控制。由于其他控

制信号引脚只需要从 FPGA 接收指令, 因此这里将第二篇 74LVC4245 的方向引脚接至低电平, 使其一直处于由 3.3 V TTL 标准信号向 5 V COMS 电平信号转换即可。

电平转换 74LVC4245 模块原理图如图 4~5 所示。

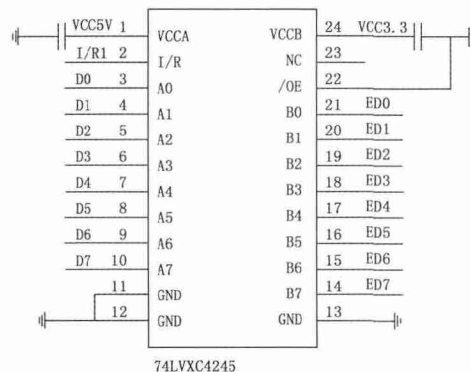


图 4 电平转换 74LVC4245 模块原理图

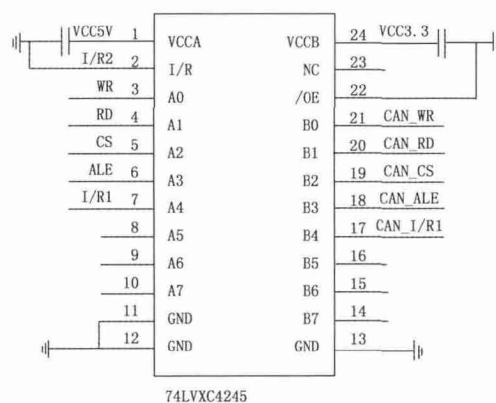


图 5 电平转换 74LVC4245 模块原理图

## 2 系统软件设计

### 2.1 DSP 模块程序设计

本系统中选用 TI 公司推出的高性能数字信号处理芯片 TMS320C67x 系列, 工作频率最高可达到 1 GHz, 具有较强的数据处理能力, 能够基本满足高速数据传输的要求<sup>[10]</sup>。由于 DSP 的地址线与数据线是分开的, 无法与 SJA1000 的地址/数据复用总线 D0-D7 直接相连, 这里将 DSP 的地址线 A0 作为地址/数据选择线, 当 A0=0 时, DSP 数据线上的数据作为地址写入 SJA1000; 当 A0=1 时, DSP 数据线上的数据作为数据写入 SJA1000<sup>[11]</sup>。

DSP 模块主要完成对 CAN 控制器 SJA1000 的初始化过程以及发送过程的控制。

由于 SJA1000 内部许多寄存器只有在复位模式下才能进行读写, 所以, 在对 SJA1000 进行初始化之前, 必须确保其进入复位模式。在其进入复位模式后, 分别对其内部模式寄存器 MOD、总线时序 0 寄存器 BTR0、总线时序 1 寄存器 BTR1、时钟分频寄存器 CDR、输出控制寄存器 OCR、中断使能寄存器 IER、命令寄存器 CMR、验收代码寄存器 ACRn、验收屏蔽寄存器 AMRn 进行配置<sup>[7]</sup>。在配置结束后, 再使 SJA1000 回到正常操作模式, 等待发送或接收数据。

SJA1000 发送过程中, 首先需要读取状态寄存器 SR 中

TCS 和 TBS 位的值，确保 SJA1000 最近一次发送已成功且发送缓冲器处于释放状态；然后向发送缓冲器 TXB 写入 TX 标识码、TX 结构信息以及待发送的数据；最后，向命令寄存器 CMR 的 TR 位写入 1，置位发送请求，完成发送操作<sup>[12]</sup>。

DSP 模块主要程序如下：

```
volatile unsigned short * sja_addr = (volatile unsigned short *)
SJA_ADDR;
void sja_write (unsigned short addr,unsigned short val)
{
    * (sja_addr + 3) = addr ;
    * sja_addr = val ;
}
void sja_read (unsigned short addr)
{
    unsigned short a ;
    * (sja_addr + 3) = addr ;
    a = * (sja_addr) ;
    return a ;
}
```

### 2.2 FPGA 模块程序设计

本系统选用 Altera 公司提供的 Cyclone II 系列的低功耗处理器 EP1C6Q240C8 型芯片，提供 185 个 I/O 接口，具有处理速度快、灵活、精确和可靠性高等优点。FPGA 模块主要完成对 CAN 总线控制器 SJA1000 地址锁存信号 ALE、芯片使能信号 CS、读有效 RD 和写有效 WR 的时序控制。

CAN 总线控制器读写控制时序如图 6~7 所示。

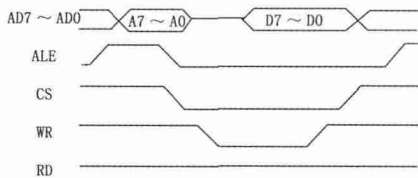


图 6 SJA1000 写时序

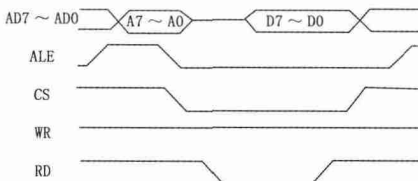


图 7 SJA1000 读时序

FPGA 在对 SJA1000 进行时序控制的同时，还需要对电平转换芯片 74LVC4245 中的电平转换方向信号 tr1 进行控制。当 DSP 向 SJA1000 写入数据时，tr1 为 0，将 3.3 V TTL 标准信号转换为 5 V COMS 电平信号，当 DSP 从 SJA1000 中读出数据时，tr1 置 1，将 5V COMS 电平信号转换为 3.3 V TTL 标准信号。

根据 SJA1000 读写控制时序以及对 74LVC4245 中 tr1 信号的控制，得到 FPGA 模块主要程序如下：

```
ale <= d_ale && (!d_cs) && (!d_wr) && d_rd ;
cs <= d_cs ;
rd <= d_ale || d_cs || (!d_wr) || d_rd ;
wr <= d_ale || d_cs || d_wr || (!d_rd) ;
tr1 <= (!d_aoe) ;
```

### 3 实验与仿真

使用 Modelsim altera 软件对 FPGA 模块程序做了仿真，程序仿真图如图 8 所示。仿真过程中，通过编写 Test Bench 模拟 DSP 输入信号。通过仿真图可以看出，FPGA 输出的 CAN 总线控制信号变化情况与预想的时序相一致，可以实现对 CAN 总线控制器的时序控制。

使用单片机 C8051 作为 CAN 总线通信接收节点，并驱动 4 位 8 段数码管对接收到的数据进行显示，实验过程中，通过 DSP 发送数据 0x11，单片机通过相应程序将其转换为十进制 0017，并显示在数码管上，通过实验可以看出，该系统可以基本实现 DSP 与 FPGA 相配合控制 CAN 总线控制器与单片机实现 CAN 总线通信。

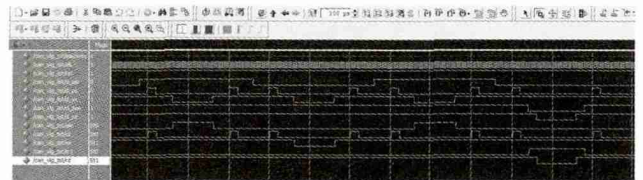


图 8 FPGA 模块程序仿真图

### 4 结论

由于 CAN 总线采用了许多新技术以及独特的设计，使其与一般的通信总线相比，具有突出的可靠性，实时性以及灵活性。文中提出的采用 FPGA 与 DSP 相互配合控制 CAN 总线通信的方式，克服了传统控制方式中单片机的固有缺陷，并解决了仅使用 FPGA 进行控制时，无法完成大量及高速数据处理的问题。通过实验及仿真结果可以看出，本文所提出的控制方案切实可行，为用于高速数据处理的 CAN 总线通信提供了一种新型控制方式。

#### 参考文献：

- [1] 张 尧. 基于 CAN 总线的汽车车灯控制系统的设计 [D]. 大连: 大连交通大学, 2008.
- [2] 李 静, 续志军. 基于 CAN 总线的光电经纬仪远程监控系统 [J]. 微计算机信息, 2008, 24 (20): 67-69.
- [3] 费 杰. 基于 CAN 总线的火灾监控系统设计 [D]. 武汉: 武汉理工大学, 2007.
- [4] 郝寿朋, 刘瑞玲. 基于 CAN 总线的数据采集与控制系统设计 [J]. 现代电子技术, 2011, 34 (8): 36-42.
- [5] 周 嵘, 吴旭光, 王 慧. 基于 CAN 总线的集散控制系统 [J]. 电子设计应用, 2002 (11): 32-28.
- [6] 付 亮, 王 星. 基于 SJA1000 的 CAN 总线控制系统的开发与实现 [J]. 汽车电器, 2007 (5): 7-10.
- [7] 邓海龙. CAN 总线控制器 SJA1000 的初始化程序设计 [J]. 南通纺织职业技术学院学报, 2004, 4 (4): 11-13.
- [8] 罗雪梅. 基于 SJA1000 的 CAN 总线接口电路的设计与实现 [J]. 贵州工业大学学报, 2003, 32 (4): 42-44.
- [9] 张培坤, 高 伟, 宋宗喜, 等. 基于 FPGA 的 CAN 总线通信节点设计 [J]. 仪表技术与传感器, 2010 (12): 68-70.
- [10] 廖 莎, 柴金广, 王旭辉. TMS320C6000 与 CAN 控制器接口设计与实现 [J]. 科学技术与工程, 2008, 8 (18): 5280-5285.
- [11] 王仁龙, 肖忠炳, 魏 宇, 等. TMS320VC5416 与 CAN 总线的接口设计及软件编程 [J]. 应用科技, 2006, 33 (9): 11-13.
- [12] 吴 坎, 赵 薇, 李 封. 基于 SJA1000 和 PCA82C250 的 CAN 总线接口设计 [J]. 机械设计与制造, 2010 (7): 55-57.